

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Chi-Hui LIN )  
 ) Group: Not yet assigned  
 Serial No.: Not yet assigned )  
 ) Examiner: Not yet assigned  
 Filed: Concurrently herewith )  
 ) Our Ref: B-5160 621096-2  
 )  
 For: "SPLIT GATE FLASH MEMORY )  
 DEVICE AND METHOD OF )  
 FABRICATING THE SAME" ) Date: July 16, 2003

Mail Stop Patent Application  
 Commissioner for Patents  
 P.O. Box 1450  
 Alexandria, VA 22313-1450

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Sir:

[X] Applicants hereby make a right of priority claim under 35 U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):


<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
Taiwan, R.O.C.	21 OCTOBER 2002	91124262

[ ] A certified copy of each of the above-noted patent applications was filed with the Parent Application No. \_\_\_\_\_.

[X] To support applicant's claim, a certified copy of each of the above-identified foreign patent application is enclosed herewith.

[ ] The priority document will be forwarded to the Patent Office when required or prior to issuance.

Respectfully submitted,

  
 Richard P. Berg  
 Attorney for Applicant  
 Reg. No. 28,145

LADAS & PARRY

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Chi-Hui LIN	)	
	)	Group: Not yet assigned
	)	
Serial No.: Not yet assigned	)	
	)	Examiner: Not yet assigned
Filed: Concurrently herewith	)	
	)	Our Ref: B-5160 621096-2
	)	
For: "SPLIT GATE FLASH MEMORY	)	
DEVICE AND METHOD OF	)	
FABRICATING THE SAME"	)	Date: July 16, 2003

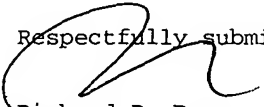
Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

CROSS-REFERENCE TO RELATED APPLICATION(S)

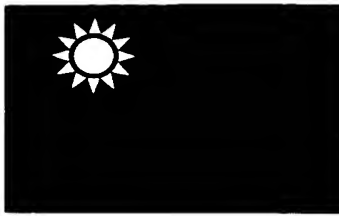
Sir:

This application is related to the U.S. patent application  
invented by Chi-Hui LIN entitled "Stacked Gate Flash Memory Device  
And Method Of Fabricating The Same," which application is being  
filed on July 16, 2003.

Respectfully submitted,

  
Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300  
Telefax: (323) 934-0202



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 10 月 21 日  
Application Date

申 請 案 號：091124262  
Application No.

申 請 人：南亞科技股份有限公司  
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2002 年 11 月 29 日  
Issue Date

發文字號：09111023292  
Serial No.

91124262

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	溝槽型分離閘極式快閃記憶體及其製造方法
	英 文	A trench type split gate flash memory and the method to fabricate the same
二、 發明人	姓 名 (中文)	1. 林圻輝
	姓 名 (英文)	1. CHI-HUI LIN
	國 籍	1. 中華民國
	住、居所	1. 台北市內湖區成功路五段46號12樓
三、 申請人	姓 名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓 名 (名稱) (英文)	1. Nanya Technology Corporation.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓 名 (中文)	1. 連日昌
	代表人 姓 名 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明之名稱：溝槽型分離閘極式快閃記憶體及其製造方法)

本發明係關於一種溝槽型分離閘極式快閃記憶體及其製造方法，此快閃記憶體包括：半導體基底，具有溝槽；導電層，位於溝槽底部；一對源極區域，位於溝槽兩側壁之半導體基底中且經導電層形成電性接觸；源極隔離層，位於導電層上；隧穿氧化層，位於源極隔離層上之溝槽側壁；內側具有複數個尖角(tip)之U型浮置閘極層，位於源極隔離層上並與溝槽側壁上之隧穿氧化層接觸；閘極間介電層，位於U型浮置閘極層上；控制閘極層，位於閘極間介電層上方；導電間柱，位於控制閘極層之上方；以及汲極區域，位於鄰近溝槽之半導體基底中。

英文發明摘要 (發明之名稱：A trench type split gate flash memory and the method to fabricate the same)

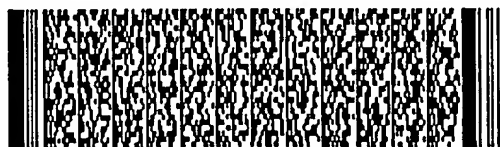
A trench type split gate flash memory comprises : a semiconductor substrate having a trench therein ; an conductive layer provided in the bottom of the trench; a pair of source area provided in the outside region of the trench and conducted through the conductive layer; a source isolation layer on the conductive layer; a tunneling oxide on the trench side wall; an U-shaped floating gate layer with a plurality of inside tip structure locating on the source



四、中文發明摘要 (發明之名稱：溝槽型分離閘極式快閃記憶體及其製造方法)

英文發明摘要 (發明之名稱：A trench type split gate flash memory and the method to fabricate the same)

isolation layer and connecting the tunneling oxide; an inter-gate dielectric layer on the U-shaped floating gate layer; a control gate layer on the inter-gate dielectric layer; a conductive stud on a control gate layer and a drain area provided in the semiconductor substrate nearby the trench.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

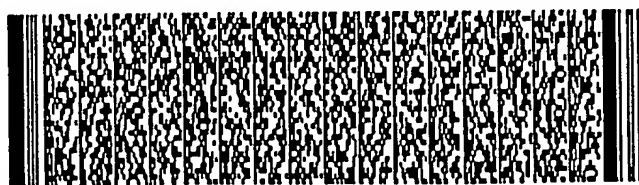
### 【發明領域】

本發明係有關於一種快閃記憶體 (flash memory) , 特別是有關於一種溝槽型分離閘極式快閃記憶體 (trench type split gate flash memory) 及其製造方法。

### 【習知技術】

電氣抹除式可編程唯讀記憶體 (EEPROM) 為現今資訊電子產品所廣泛採用的記憶元件，原本有存取速度較慢的缺點，然隨製程技術的進步，近年已開發出存取速度較快的EEPROM，一般稱之為快閃記憶體。基本上，典型的快閃記憶體係以浮置閘極 (floating gate) 電晶體結構所構成，當進行程式化步驟而寫入數據時，係施加一高電壓於控制閘極 (controlling gate)，使得熱電子穿過隧穿氧化層而注入浮置閘極，提高其臨界電壓；當抹除數據時，則施加一高電壓於源極區域，使得前述注入到浮置閘極的電子可藉由所謂的Fowler-Nordheim隧穿效應，穿過隧穿氧化層而流入源極區，使其回復原有的臨界電壓。然而，在抹除的過程中，為了確保將浮置閘極中的注入電子完全吸出，通常會延長抹除的時間，結果往往造成過度抹除的現象，使臨界電壓過低，成為一常通 (on) 的空乏型 (depletion) 電晶體，破壞了元件應有的特性。

為了解決過度抹除的問題，有所謂的「分離閘極式快閃記憶體」構造被提出，其中每一個記憶單元係由一個浮置閘極電晶體和一個加強型隔離電晶體串聯而成。如此，即使浮置閘極電晶體發生過度抹除的現象，電晶體仍能使





## 五、發明說明 (2)

整個記憶單元保持關閉的狀態，維持元件應有的特性。

然而隨著對記憶容量要求的增加，必須提高記憶胞的集積度，然而就傳統之水平式的分離閘極式快閃記憶體而言，若縮小記憶胞的尺寸，則通道長度會隨之縮短，此會造成短通道效應，而影響記憶胞的效能；此外浮置閘極和抹除閘極之間重疊區域的大小也會隨之變小，如果重疊的區域太小，則抹除的效能會降低。因此，縮小傳統之水平式的分離閘極式快閃記憶體的尺寸來增加集積度並不可行。

再者，若要增加記憶胞的趨動電流，就傳統之分離閘極式快閃記憶體的結構而言，則必須增加其占據基底的面積，然而此種方法會犧牲其集積度，無法因應目前提高記憶容量的趨勢。

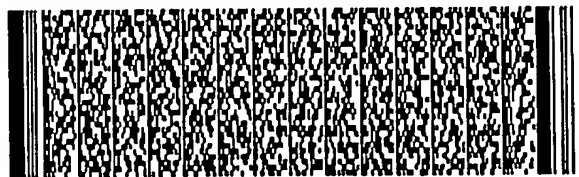
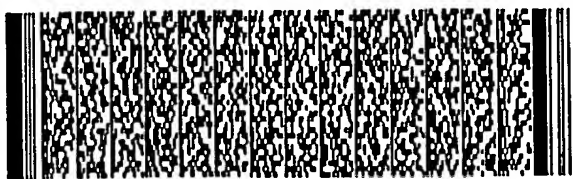
此外，由於高電壓之操作模式的關係，傳統之分離閘極式快閃記憶體的結構，會有比邏輯元件更嚴重之短通道效應的問題產生。

### 【發明之目的及概要】

有鑑於此，本發明提供一種溝槽型分離閘極式快閃記憶體及其製造方法，以提高記憶體的積集度。

此外，本發明提供一種可在縮小記憶胞占據基底的面積下，還可避免短通道效應的溝槽型分離閘極式快閃記憶體及其製造方法。

因此，本發明提供了一種溝槽型分離閘極式快閃記憶體，包括：半導體基底，具有溝槽；導電層，位於溝槽底



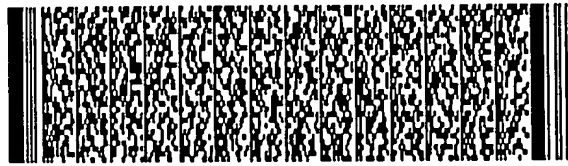
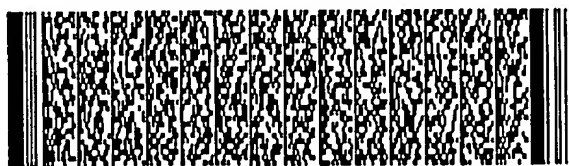
### 五、發明說明 (3)

部；一對源極區域，位於溝槽兩側壁之半導體基底中且經導電層形成電性接觸；源極隔離層，位於導電層上；隧穿氧化層，位於源極隔離層上之溝槽側壁；內側具有複數個尖角(tip)之U型浮置閘極層，位於源極隔離層上並與溝槽側壁上之隧穿氧化層接觸；閘極間介電層，位於U型浮置閘極層上；控制閘極層，位於閘極間介電層上方；導電間柱，位於控制閘極層之上方；以及汲極區域，位於鄰近溝槽之半導體基底中。

此外，本發明並提供了一種溝槽型分離閘極式快閃記憶體之製造方法，包括下列步驟：提供半導體基底；形成複數個長溝槽，位於半導體基底內且沿第一方向排列且互為平行；形成源極區域及導電層於長溝槽底部，源極區域位於長溝槽兩側壁外之半導體基底中並經由導電層形成電性接觸；形成源極隔離層於導電層上；形成隧穿氧化層於長溝槽之兩側壁上；形成包含有一連接氧化層且內側具有複數個尖角(tip)之U型浮置閘極層於源極隔離層上；形成閘極間介電層於U型浮置閘極層與連接氧化層上；形成控制閘極層於閘極間介電層上；形成導電間柱於控制閘極層之上方；形成複數個長條狀淺溝槽隔離區域(STI)，沿一第二方向排列且互為平行之以定義出複數個記憶胞溝槽；以及形成一汲極區域於記憶胞溝槽鄰近之該半導體基底中。

#### 實施例

本發明為了因應記憶容量不斷增加的趨勢，提供了一

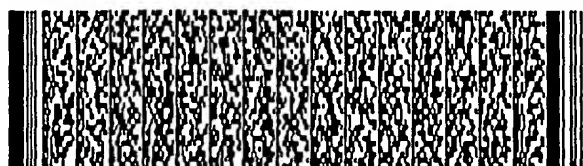


#### 五、發明說明 (4)

種溝槽型分離閘極式快閃記憶體。請參照第1圖，為依據本發明完成之溝槽型分離閘極式快閃記憶體之上視圖，沿著A~A'切線部份為此快閃記憶體記憶胞所在區域，而沿著B~B'切線則為此快閃記憶體之淺溝槽隔離區域(STI)所在區域。接著請同時參照第3a~3m圖及第4a~4m圖以說明於A~A'切線區域及B~B'切線區域內的製程流程剖面圖並請同時參照上視第2a圖及第2b圖以顯示當時所對應之上視結構，用以說明本發明之較佳實施例。

首先請參照第3m圖，為依據本發明之溝槽型分離閘極式快閃記憶體之結構，包括：半導體基底200中，具有溝槽250'；導電層205，位於溝槽250'底部；源極區域S，位於溝槽250'兩側壁之半導體基底200中且經導電層205形成電性接觸；源極隔離層207，位於導電層205上；隧穿氧化層208，位於源極隔離層207上之溝槽250'側壁；內側具有複數個尖角(tip)之U型浮置閘極層209，位於源極隔離層207上並與溝槽250'側壁上之隧穿氧化層208接觸；閘極間介電層214，位於浮置閘極209上；控制閘極層215，位於閘極間介電層214上方；導電間柱217，位於控制閘極層215之上方；以及汲極區域D，位於溝槽250'鄰近之半導體基底200中。

而依據本發明之溝槽型分離閘極式快閃記憶體其製造方法流程部分：首先請同時參閱第3a圖與第4a圖，於半導體基底200，例如為p型半導體矽基底上依序形成一墊氧化層201及一罩幕層202，其中墊氧化層的材質例如是二氧化

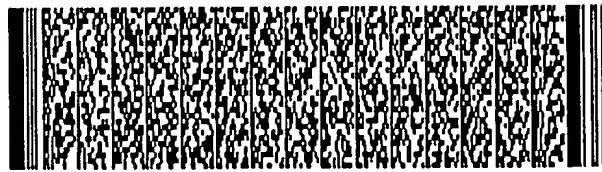
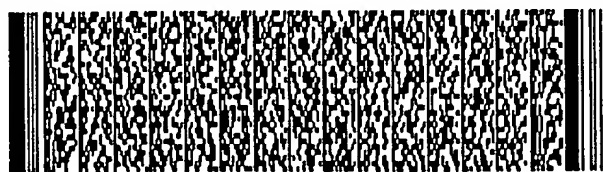


#### 五、發明說明 (5)

矽而罩幕層的材質例如是氮化矽；接著藉由微影蝕刻製程定義出複數個長溝槽250，沿第一方向排列且互為平行，其深度介於半導體基底200下方30000~70000埃，其上視圖請參閱第2a圖，其中長溝槽250的深度係與將形成之溝槽型分離閘極型快閃記憶體的通道長度有關。

接著，請參照第3b圖與第4b圖，沉積一順應性(conformal)之底絕緣層203於罩幕層202及長溝槽250內，其材質例如是二氧化矽，接著覆蓋一蝕刻保護層204材料於底絕緣層203上並溝填(gap fill)於長溝槽250內，其材質例如是光阻(PR)。接著蝕刻去除罩幕層202上之蝕刻保護層204並凹蝕(recess)長溝槽250內之蝕刻保護層204材料至距離溝槽底部為H之深度，以留下一蝕刻保護層204於長溝槽250內。接著除去蝕刻保護層204以外之底絕緣層203材料，最後於長溝槽250內形成距底部深度為H且表面與蝕刻保護層204等高之底絕緣層203結構。

請繼續參照第3c圖與第4c圖，利用適當溶劑去除長溝槽250內之蝕刻保護層204後，接著沉積一導電層205材料於罩幕層202上並溝填(gap fill)於長溝槽250內，其材質例如是含n型摻質之複晶矽。接著回蝕刻去除罩幕層202上之導電層205材料，並凹蝕(recess)長溝槽250內之導電層205材料至距長溝槽250底部為H'之深度，以於長溝槽250內形成覆蓋於底絕緣層203上且距離長溝槽250底部深度為H'之導電層205，並與距離長溝槽250底部深度為H之底絕緣層203間具有一介於100~200埃之深度差( $\Delta H$ )。



## 五、發明說明 (6)

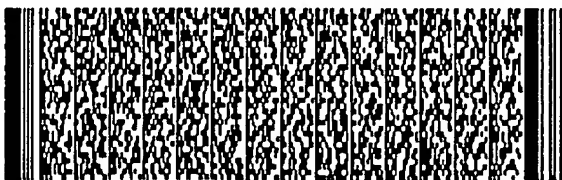
請繼續參照第3d圖與第4d圖，接著沉積一源極材料層206材料於罩幕層202上並溝填於長溝槽250內，而此源極材料層206材料其材質例如是含n型摻質(dopant)之二氧化矽，更例如為含砷(As)或磷(P)之二氧化矽材料，其形成方法例如是利用低壓氣相化學沉積法(LPCVD)。接著回蝕刻以去除罩幕層202上之源極材料層206材料，並凹蝕(recess)長溝槽250內之源極材料層206材料，以於長溝槽250內形成一厚度約為500~1000埃之源極材料層206。

接著進行一高溫熱逐出(drive out)製程，其方法例如是利用高溫擴散爐管製程，將此源極材料層206中之n型摻質(例如為砷As)由材料內逐出(drive out)而進入此長溝槽250兩側壁外之半導體基底200(例如為p型半導體矽基底)中而形成一對源極區域S，並經由下方之導電層205以形成一電性接觸。

請繼續參照第3e圖與第4e圖，於去除長溝槽250內之源極材料層206後，接著沉積一源極隔離層207材料於罩幕層202上並溝填於長溝槽250內，其材質例如是二氧化矽。

接著回蝕刻以去除於罩幕層202上源極隔離層207材料，並凹蝕長溝槽250內之源極隔離層207材料，最後於長溝槽250內殘留一厚度約為350~850埃之源極隔離層207，以侷限源極區域S間之電性接觸僅能經由其下方之導電層205。接著，對長溝槽250中兩側壁進行臨界電壓植入( $V_t$  implant)以調整記憶胞之臨界電壓( $V_t$ )。

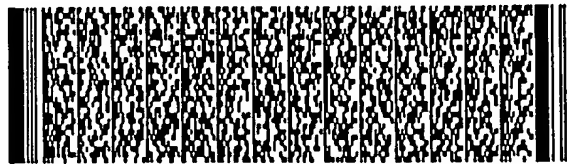
請繼續參照第3f圖與第4f圖，接著形成一隧穿氧化層



#### 五、發明說明 (7)

208 於長溝槽250內兩側壁上，其材質例如為二氧化矽，其方法例如為熱氧化法(thermal oxidation)。接著沉積一順應性(conformal)的浮置閘極層209材料於罩幕層202上及長溝槽250內，其材質例如為含n型摻質(dopant)之複晶矽，其方法例如為低壓化學氣相沉積法(LPCVD)。接著沉積一連接氧化層210材料於罩幕層202上並填入長溝槽250內，其材質例如為二氧化矽，其方法例如為低壓化學氣相沉積法(LPCVD)。接著回蝕罩幕層202上之連接氧化層210材料，並凹蝕長溝槽250內之連接氧化層210材料，最後於長溝槽250內形成厚度為700~1500埃之連接氧化層210，此位於長溝槽250內之連接氧化層210具有降低此快閃記憶體浮置閘極與控制閘極間之耦合率(coupling ratio)之功效。

請繼續參照第3g圖與第4g圖，接著去除長溝槽250內之連接氧化層210以上之浮置閘極209材料，以形成包含有連接氧化層210之U型浮置閘極層209，以作為浮置閘極(floating gate)之用。接著沉積一順應性的浮置閘極二氧化矽間隙壁211材料於罩幕層202上及長溝槽250內，其方法例如為低壓化學氣相沉積法(LPCVD)，接著回蝕刻上述浮置閘極二氧化矽間隙壁層211材料，以於長溝槽250內形成浮置閘極二氧化矽間隙壁層211，而由於浮置閘極二氧化矽間隙壁層211與連接氧化層210採用相同之材質(例如為二氧化矽)，故於回蝕的過程中會略為降低連接氧化層210的厚度。接著沉積一順應性的浮置閘極氮化矽間隙



## 五、發明說明 (8)

壁212材料於罩幕層202上及長溝槽250內，其方法例如為低壓化學氣相沉積法(LPCVD)，接著回蝕刻上述浮置閘極氮化矽間隙壁212材料，而於長溝槽250內形成貼覆於浮置閘極二氧化矽間隙壁211上之浮置閘極氮化矽間隙壁212。

請繼續參照第3h圖與第4h圖，接著蝕刻位於長溝槽250內之連接氧化層210，其方法例如為濕蝕刻法，利用材料間良好的選擇比(在此為二氧化矽對氮化矽)，於浮置閘極氮化矽間隙壁212的保護下，降低連接氧化層210厚度200~500埃以露出U型浮置閘極層之內緣。接著等向性(isotropic)地蝕刻此U型浮置閘極層209，於U型浮置閘極209層內緣形成複數個尖角(tip)結構，最後於長溝槽250內源極隔離層207上形成此包含有連接氧化層210且內緣具有複數個尖角(tip)之U型浮置閘極層209。

請繼續參照第3i圖與第4i圖，接著利用材料間良好的選擇比(再此為二氧化矽：氮化矽)，以去除長溝槽250內之浮置閘極氮化矽間隙壁212，其方法例如為濕蝕刻法。

接著覆蓋一蝕刻保護層213材料於罩幕層202上並填滿長溝槽250，其材質例如是光阻(PR)。接著回蝕刻以去除罩幕層202上之蝕刻保護層213材料並凹蝕長溝槽250內蝕刻保護層213材料以於長溝槽250內留下一厚度介於500~1000埃之蝕刻保護層213，接著利用濕蝕刻法去除長溝槽250內之浮置閘極二氧化矽間隙壁層211以及側壁上之部分隧穿氧化層208。

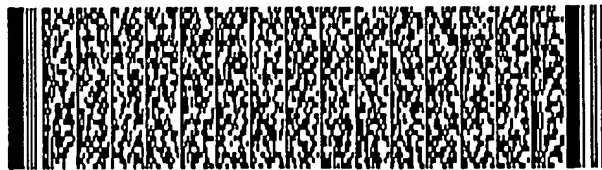
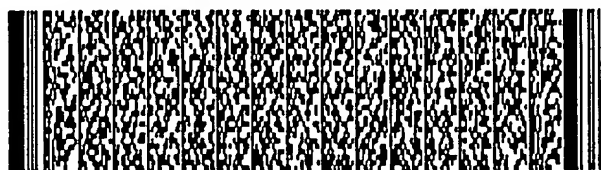
請繼續參照第3j圖與第4j圖，利用適當溶劑去除連接



## 五、發明說明 (9)

氧化層210上之蝕刻保護層213後。接著沉積一順應性的介電層214於幕罩層202上及長溝槽250內，其方法例如為低壓氣相沉積法(LPCVD)，其材質例如為二氧化矽。接著沉積一控制閘極層215材料於罩幕層202上並溝填於長溝槽250內，其材質例如為含n型摻質之複晶矽，接著回蝕罩幕層202上之控制閘極層215材料並凹蝕長溝槽250內之控制閘極層215材料，以於長溝槽250內形成控制閘極層215以作為控制閘極(control gate)之用，其高度略低於半導體基底200表面。

請繼續參照第3k圖與第4k圖，接著沉積一順應性的控制閘極間隙壁216材料，其材質例如為二氧化矽。接著回蝕刻此控制閘極二氧化矽間隙壁216材料以於長溝槽250內形成此控制閘極氧化矽間隙壁216。接著沉積一導電間柱217材料，覆蓋於罩幕層上及溝填於長溝槽250內，其材質例如為含n型摻質之複晶矽，並回蝕刻此導電間柱217材料，最後於長溝槽250內形成一位於控制閘極層215上方之導電間柱(conductive stud)217以形成控制閘極層215與後續之字元線(word line)間之電性連接。接著利用微影及蝕刻程序定義出複數個長條狀淺隔離溝槽區域(STI)，沿第二方向排列且互為平行，並蝕刻停止於源極隔離層207上以定義出複數個溝槽250'，此複數個溝槽250'即為此快閃記憶體之記憶胞所在之記憶胞溝槽，而此第二方向與原先之長溝槽250排列之第一方向互為垂直，此時之製程上視圖如第2b圖所示。而第3k圖即為沿第2b圖中A-A'切





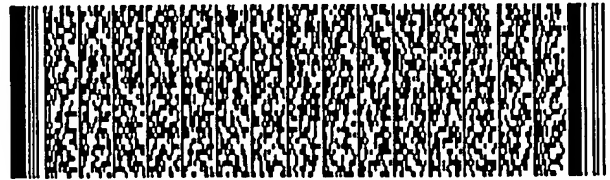
## 五、發明說明 (10)

線此時之製程剖面圖，溝槽250'即為此快閃記憶體之記憶胞溝槽；第4k圖為沿第2b圖中B-B'切線此時之製程剖面圖，即為此快閃記憶體未來之淺隔離溝槽區域(STI)。

請繼續參照第3l圖與第4l圖，接著沉積一隔離層218材料並溝填於上述淺隔離溝槽區域(STI)內，其方法例如為高密度電漿化學氣相沉積法(HDP CVD)，其材質例如為二氧化矽。

請繼續參照第3m圖與第4m圖，接著利用一平坦化製程例如為CMP製程，利用罩幕層202為化學機械研磨停止層(CMP stop layer)將晶圓表面平坦化，最後完成此快閃記憶體之淺隔離溝槽區域(STI)。接著去除罩幕層202，其方法例如為濕蝕刻法。接著進行汲極區域D之離子植入，所植入之離子例如為磷(P)離子或砷(As)離子。接著並經由一熱退火製程例如為一快速熱退火製程(RTP)，以形成汲極區域D於記憶胞溝槽(此為溝槽250')鄰近之半導體基底200中。接著去除墊氧化層201，以及沉積一第二隔離層219材料，其方法例如為高密度電漿化學氣相沉積法(HDP CVD)，其材質例如為二氧化矽。接著再利用一平坦化程序如CMP法，將晶圓表面平坦化，並露出導電間柱217。

最後可更利用傳統的字元線與位元線製造技術(為了不模糊本發明重點，故在此僅以虛線表示)，完成如第1圖中所示之上視結構中，連接溝槽250'中導電間柱217之字元線(Word Line; WL)，以及利用接觸窗(contact via)結構(未顯示於圖上)連結鄰近溝槽250'之第二隔離層219下



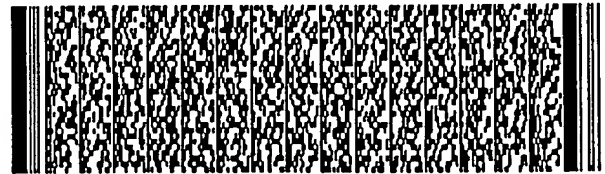
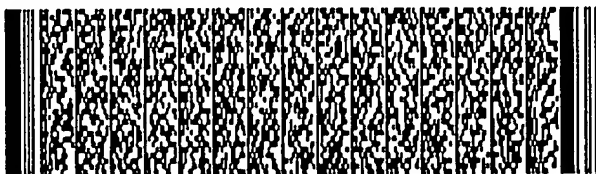
## 五、發明說明 (11)

方汲極區域D所形成之位元線(Bit Line ; BL)，而完成此溝槽型分離閘極式快閃記憶體的製程。

依據本發明之溝槽型分離閘極式快閃記憶體為具有一垂直型溝槽之分離閘極式快閃記憶體，其記憶胞結構位於半導體基底內之溝槽中，可有效縮小元件尺寸，並提昇記憶體的積集度，並提昇快閃記憶體的容量。此外，依據本發明之溝槽型分離閘極式快閃記憶體製程，多數之製程皆屬於自我對準(self alignment)製程，利用製程如化學氣相沉積法(CVD)之成膜原理與不同材質間蝕刻選擇比的蝕刻原理，減少製程所需光罩數目並降低製程的複雜度。此外，本發明之製程光罩結構簡單，大多屬於長條狀結構，對於降低光罩構成成本方面及微影製程所需時間，亦有顯著之功效。

基於以上特性，可有效地改善水平型快閃記憶體受限於半導體基底面積，導致記憶體單元積集度不足，記憶體容量無法提昇；製程光罩數多，且結構複雜；以及受限於微影機台功能導致之微影效果不張等缺點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



#### 圖式簡單說明

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖係依據本發明之溝槽型分離閥極式快閃記憶體的上視圖。

第2a圖係對應於本發明較佳實施例之製程流程剖面圖  
第3a圖、第4a圖之製程上視圖。

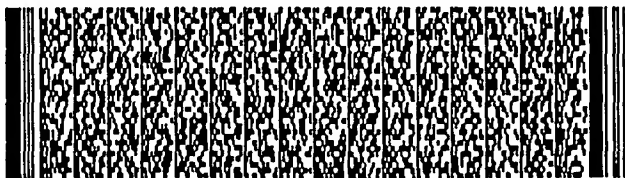
第2b圖係對應於本發明較佳實施例之製程流程剖面圖  
第3k圖、第4k圖之製程上視圖。

第3a圖~第3m圖係根據本發明較佳實施例之溝槽型分離閥極式快閃記憶體中沿上視圖第1圖內A~A'切線之製程流程剖面圖。

第4a圖~第4m圖係根據本發明較佳實施例之溝槽型分離閥極式快閃記憶體中沿上視圖第1圖內B~B'切線之製程流程剖面圖。

#### 符號說明

- 200~半導體基底；
- 201~墊氧化層；
- 202~罩幕層；
- 203~底絕緣層；
- 204、213~蝕刻保護層；
- 205~導電層；
- 206~源極材料層；
- 207~源極隔離層；



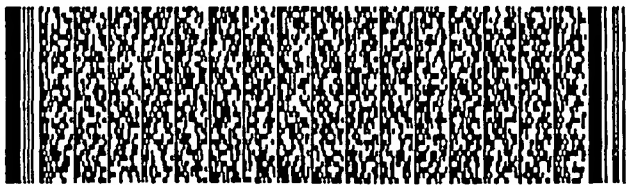
圖式簡單說明

- 208~ 隧穿氧化層；
- 209~U型浮置閘極層；
- 210~ 連接氧化層；
- 211~ 浮置閘極二氧化矽間隙壁；
- 212~ 浮置閘極氮化矽間隙壁；
- $\Delta H$ ~ 導電層205與底絕緣層203之深度差
- 214~ 閘極間介電層；
- 215~ 控制閘極層；
- 216~ 控制閘極間隙壁；
- 217~ 導電間柱；
- 218~ 隔離層；
- 219~ 第二隔離層；
- S~ 源極區域；
- D~ 汲極區域；
- STI~ 淺溝槽隔離區域；
- 250~ 長溝槽；
- 250'~ 溝槽；
- WL~ 字元線；
- BL~ 位元線。



## 六、申請專利範圍

1. 一種溝槽型分離閘極式快閃記憶體，包括：
  - 一半導體基底，具有一溝槽；
  - 一導電層，位於該溝槽底部；
  - 一對源極區域，位於該溝槽兩側壁之該半導體基底中且經該導電層形成電性接觸；
  - 一源極隔離層，位於該導電層上；
  - 一隧穿氧化層，位於該源極隔離層上之該溝槽側壁；
  - 一內側具有複數個尖角(tip)之U型浮置閘極層，位於該源極隔離層上並與該溝槽側壁上之該隧穿氧化層接觸；
  - 一閘極間介電層，位於該U型浮置閘極層上；
  - 一控制閘極，位於該閘極間介電層上方；
  - 一導電間柱，位於該控制閘極層之上方；以及
  - 一汲極區域，位於鄰近該溝槽之該半導體基底中。
2. 如申請範圍第1項所述之溝槽型分離閘極式快閃記憶體，其中於該溝槽內之該導電層下方更包括一底絕緣層。
3. 如申請範圍第2項所述之溝槽型分離閘極式快閃記憶體，其中該底絕緣層材質為二氧化矽。
4. 如申請範圍第1項所述之溝槽型分離閘極式快閃記憶體，其中該U型浮置閘極層與該控制閘極層的材質為含n型摻質之複晶矽。
5. 如申請範圍第1項所述之溝槽型分離閘極式快閃記憶體，其中該閘極間介電層材質為二氧化矽。
6. 如申請範圍第1項所述之溝槽型分離閘極式快閃記



## 六、申請專利範圍

憶體，其中該導電層材質為含n型摻質(dopant)之複晶矽。

7. 如申請範圍第1項所述之溝槽型分離閘極式快閃記憶體，其中該隧穿氧化層材質為二氧化矽。

8. 如申請範圍第1項所述之溝槽型分離閘極式快閃記憶體，其中該導電間柱材質為含n型摻質之複晶矽。

9. 如申請範圍第1項所述之溝槽型分離閘極式快閃記憶體，其中該U型浮置閘極層與該閘極間介電層間更包含了一連接氧化層。

10. 如申請範圍第9項所述之溝槽型分離閘極式快閃記憶體，其中該連接氧化層材質為二氧化矽。

11. 如申請範圍第1項所述之溝槽型分離閘極式快閃記憶體，其中該半導體基底為p型半導體矽基底。

12. 一種溝槽型分離閘極式快閃記憶體的製造方法，包括下列步驟：

提供一半導體基底；

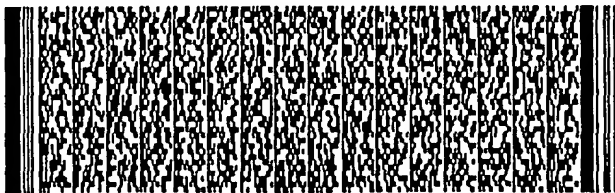
形成複數個長溝槽，位於該半導體基底內且沿一第一方向排列且互為平行；

形成一導電層及一對源極區域於各別之該長溝槽底部，該源極區域位於該長溝槽兩側壁外之該半導體基底中並經由該導電層形成一電性接觸；

形成一源極隔離層於該導電層上；

形成一隧穿氧化層於該長溝槽之兩側壁上；

形成一包含有一連接氧化層且內側具有複數個尖角



## 六、申請專利範圍

(tip)之U型浮置閘極層於該源極隔離層上；

形成一閘極間介電層於該U型浮置閘極層與該連接氧化層上；

形成一控制閘極層於該閘極間介電層上；

形成一導電間柱於該控制閘極層之上方；

形成複數個長條狀淺溝槽隔離區域(STI)，沿一第二方向排列且互為平行以定義出複數個記憶胞溝槽；以及

形成一汲極區域於該等記憶胞溝槽鄰近之該半導體基底中。

13. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該第一方向與該第二方向互為垂直。

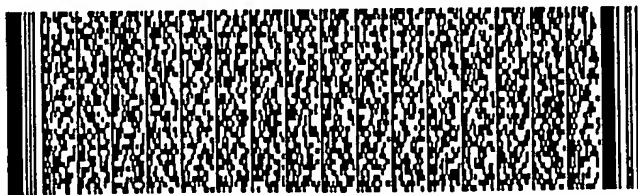
14. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該半導體基底為p型半導體矽基底。

15. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中於形成複數個長溝槽於該半導體基底前更包括於該半導體基底上形成一墊氧化層及一罩幕層。

16. 如申請範圍第15項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該罩幕層材質為氮化矽。

17. 如申請範圍第15項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該墊氧化層材質為二氧化矽。

18. 如申請範圍第12項所述之溝槽型分離閘極式快閃



## 六、申請專利範圍

記憶體的製造方法，其中形成一導電層及一對源極區域於該長溝槽底部前更包括形成一底絕緣層於該長溝槽底部。

19. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中一對源極區域及一導電層於各別之該長溝槽底部，該源極區域位於該長溝槽兩側壁外之該半導體基底中並經由該導電層形成一電性接觸的方法包括：

於該長溝槽內形成一源極材料層；

進行一高溫熱逐出(drive out)製程，以於該長溝槽兩側壁外之該半導體基底中形成一對源極區域並於該源極材料層下方之該導電層中形成一電性接觸；以及

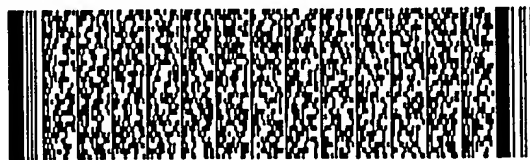
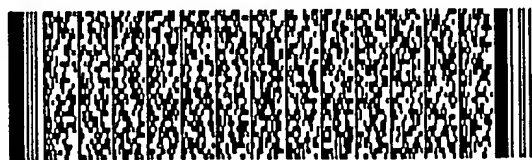
去除該長溝槽中之該源極材料層。

20. 如申請範圍第19項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該源極材料層材質為含n型摻質(dopant)之二氧化矽材料。

21. 如申請範圍第20項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該含n型摻質(dopant)之二氧化矽材料為含砷(As)或磷(P)之二氧化矽材料。

22. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中形成一隧穿氧化層於該長溝槽側壁上前尚包括對該長溝槽側壁進行之臨界電壓植入( $V_t$  implant)。

23. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，形成包含有一連接氧化層且內緣具有





## 六、申請專利範圍

複數個尖角(tip)之U型浮置閘極層於該源極隔離層上的步驟包括：

沉積一順應性(conformal)的浮置閘極層材料於該長溝槽內；

形成一連接氧化層於該長溝槽內之浮置閘極層材上；

去除該連接氧化層以上之該浮置閘極層材料，以形成包含有該連接氧化層之U型浮置閘極；

於該長溝槽內形成浮置閘極二氧化矽間隙壁；

於該長溝槽內形成浮置閘極氮化矽間隙壁並貼覆於該浮置閘極二氧化矽間隙壁上；

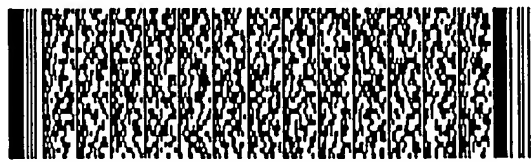
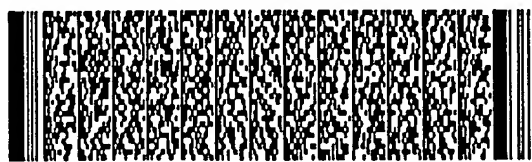
蝕刻該連接氧化層以露出U型浮置閘極層之內緣；

等向性(isotropic)地蝕刻此U型浮置閘極層以於該U型浮置閘極內緣形成複數個尖角(tip)結構；以及

去除該浮置閘極二氧化矽間隙壁及浮置閘極二氧化矽間隙壁層以及先前位於側壁上之該隧穿氧化層，以形成此位於該源極隔離層上，包含有一連接氧化層且內緣具有複數個尖角(tip)之該U型浮置閘極層。

24. 如申請範圍第23項所述之溝槽型分離閘極式快閃記憶體之製造方法，其中蝕刻該長溝槽內之該連接氧化層以露出部分U型浮置閘極之內緣的方法為濕蝕刻法。

25. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中形成一導電間柱於該控制閘極之上方前，更包括於該長溝槽內形成控制閘極間隙壁之步驟。



## 六、申請專利範圍

26. 如申請範圍第25項所述之溝槽型分離閘極式快閃記憶體之製造方法，其中該控制閘極間隙壁材質為二氧化矽。

27. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中形成複數個長條狀淺溝槽隔離區域(STI)，沿一第二方向排列且互為平行之以定義出複數個記憶胞溝槽的步驟包括：

利用微影及蝕刻程序定義出此複數個長條狀淺溝槽隔離區域(STI)，其沿一第二方向排列且互為平行，並蝕刻停止於上述源極隔離層上；

沉積一隔離層材料並溝填於該淺隔離溝槽區域(STI)內；以及

以罩幕層202為化學機械研磨停止層(CMP stop layer)，將晶圓表面平坦化。

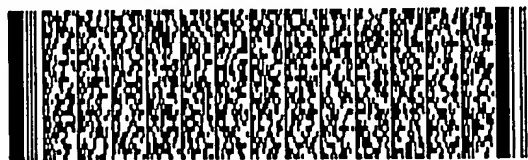
28. 如申請範圍第27項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該隔離層材質為二氧化矽。

29. 如申請範圍第27項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中沉積該隔離層材料之方法為高密度電漿化學氣相沉積法(HDP CVD)。

30. 如申請範圍第12項所述之溝槽型分離閘極式快閃記憶體的製造方法，形成一汲極區域於該記憶胞溝槽鄰近之該半導體基底中步驟包括：

去除該罩幕層；

進行汲極區域離子植入；



#### 六、申請專利範圍

進行一熱退火製程；

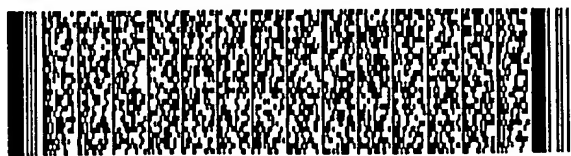
去除該墊氧化層；

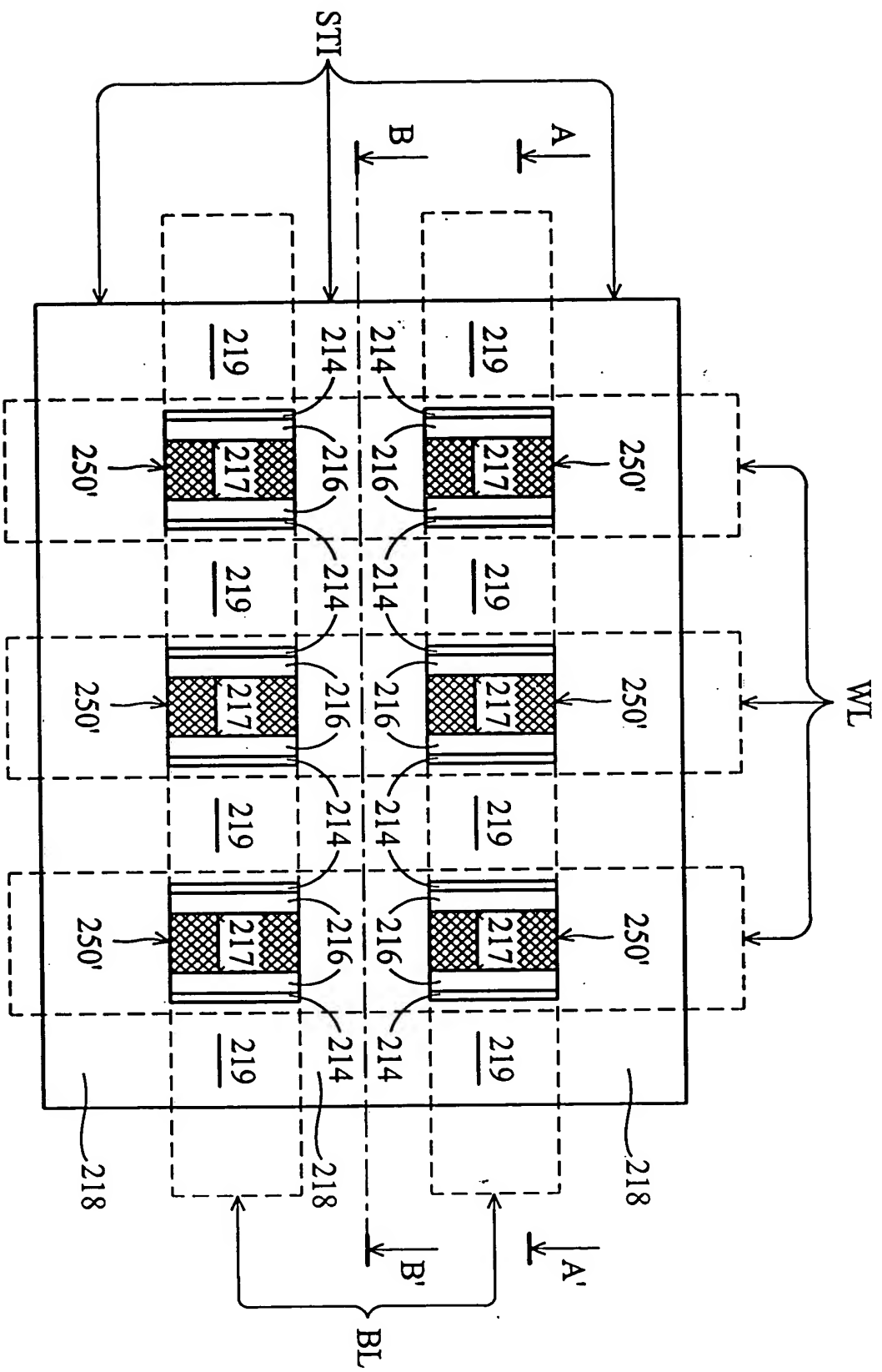
沉積一第二隔離層材料；以及

將晶圓表面平坦化，以形成一汲極區域於該記憶胞溝槽鄰近之該半導體基底中。

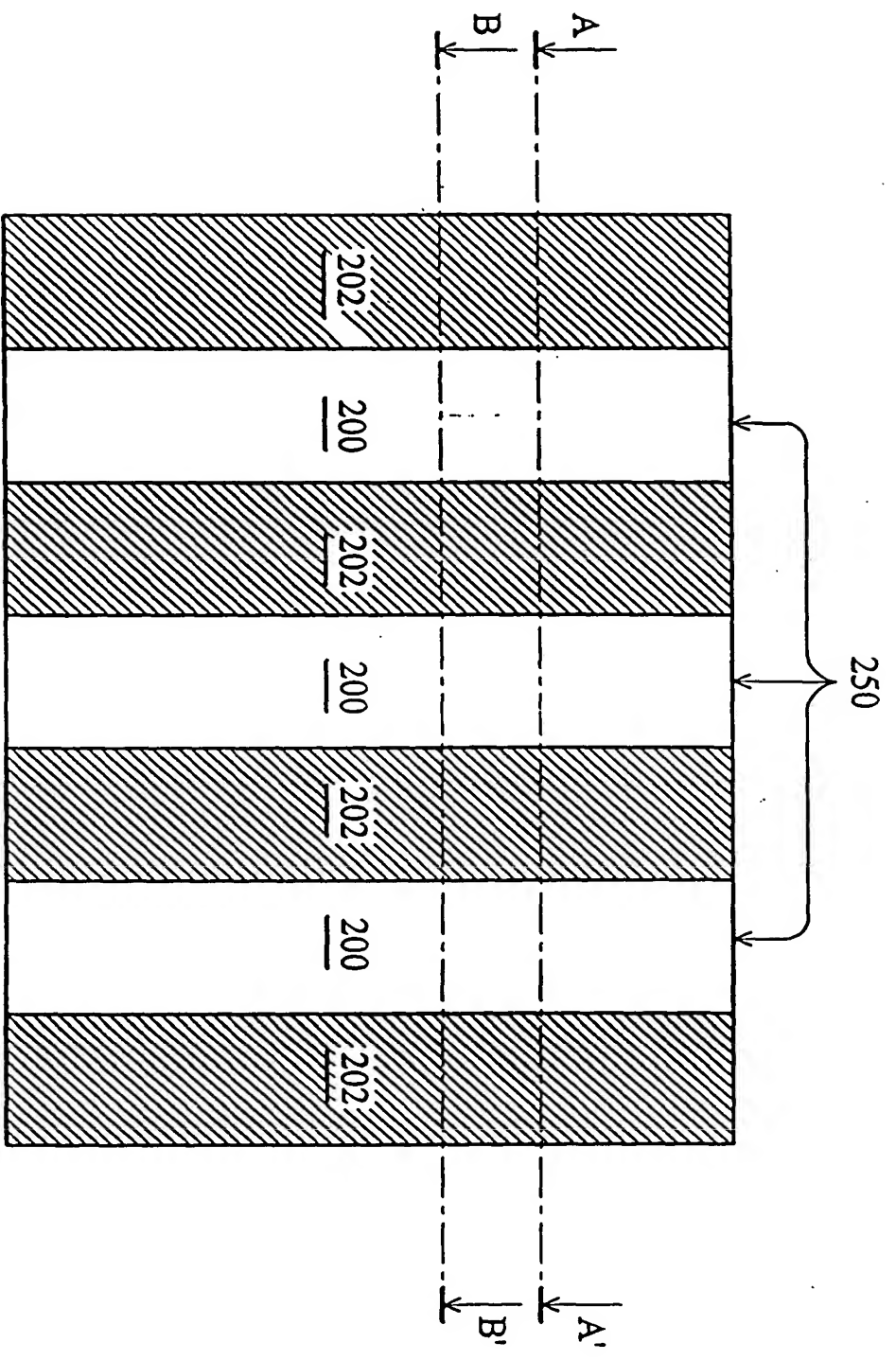
31. 如申請範圍第30項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該汲極區域離子植入所植入離子為n型離子。

32. 如申請範圍第31項所述之溝槽型分離閘極式快閃記憶體的製造方法，其中該n型離子為砷(As)或磷(P)離子。

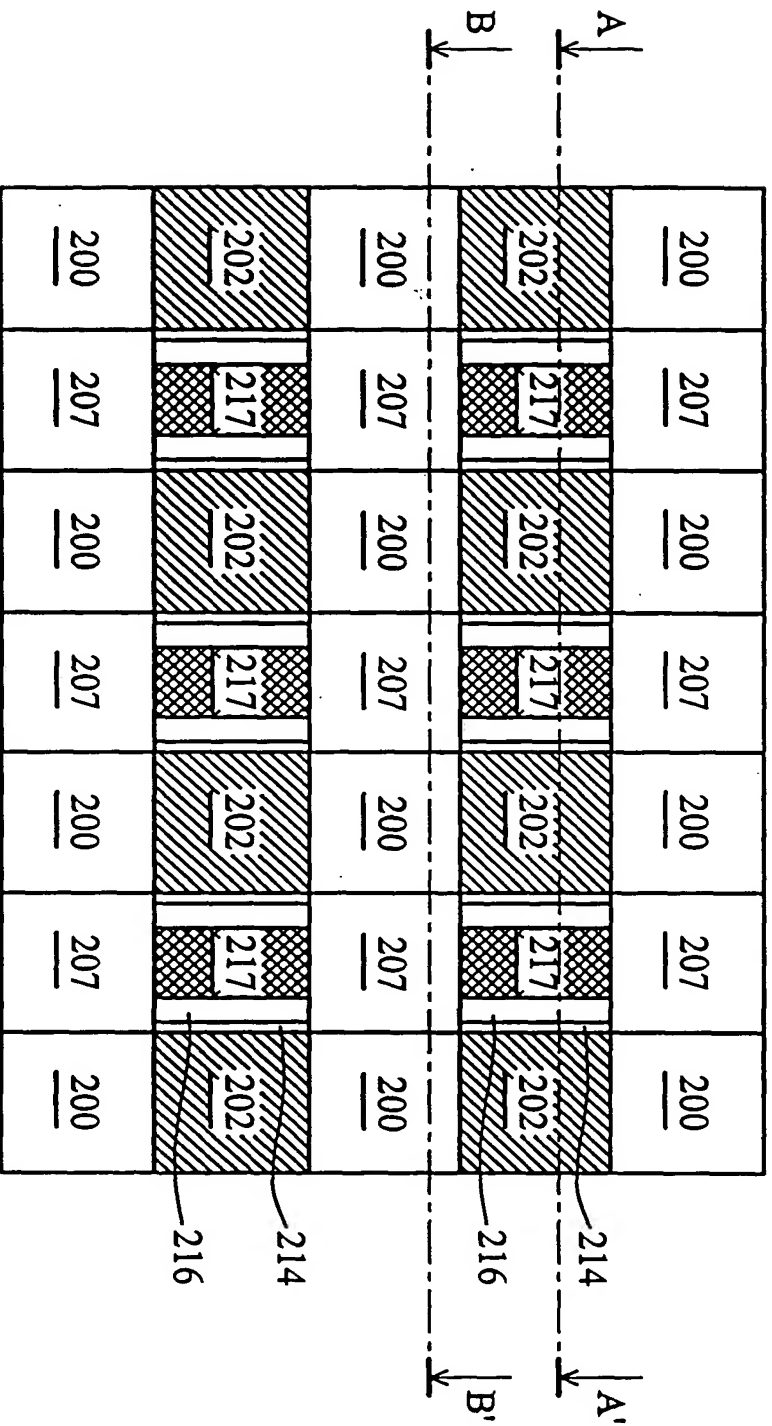




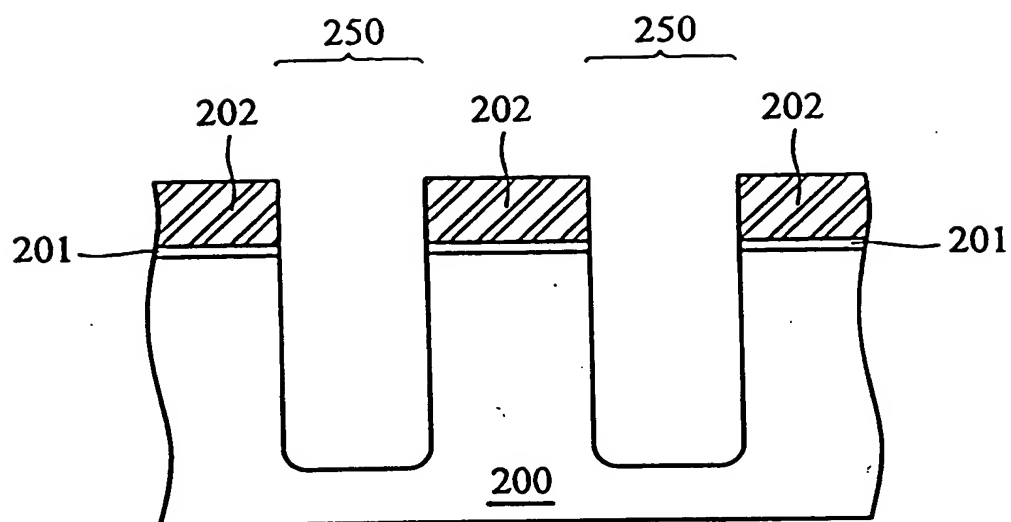
第 1 圖



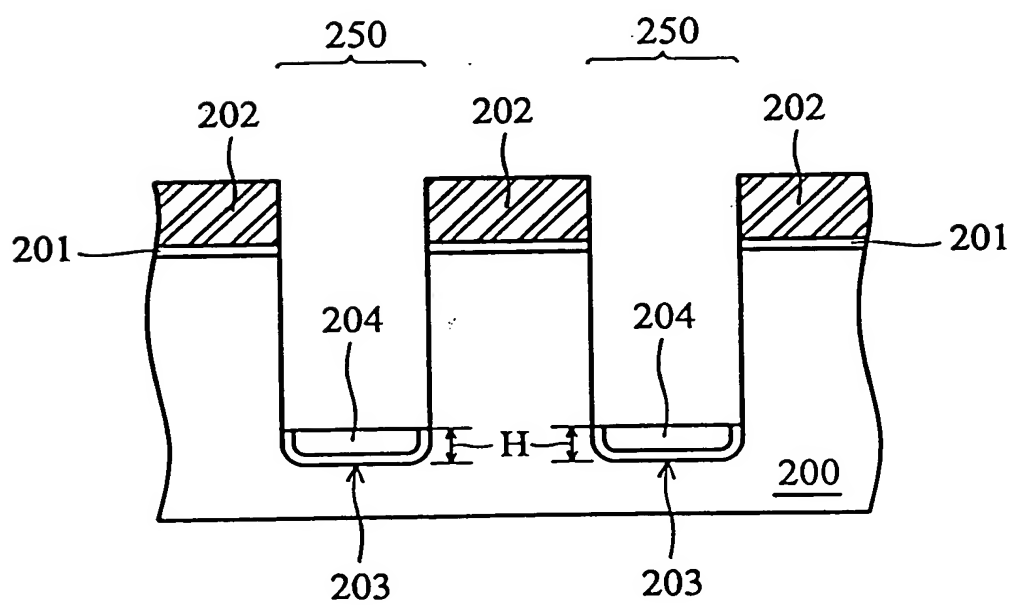
第 20 圖



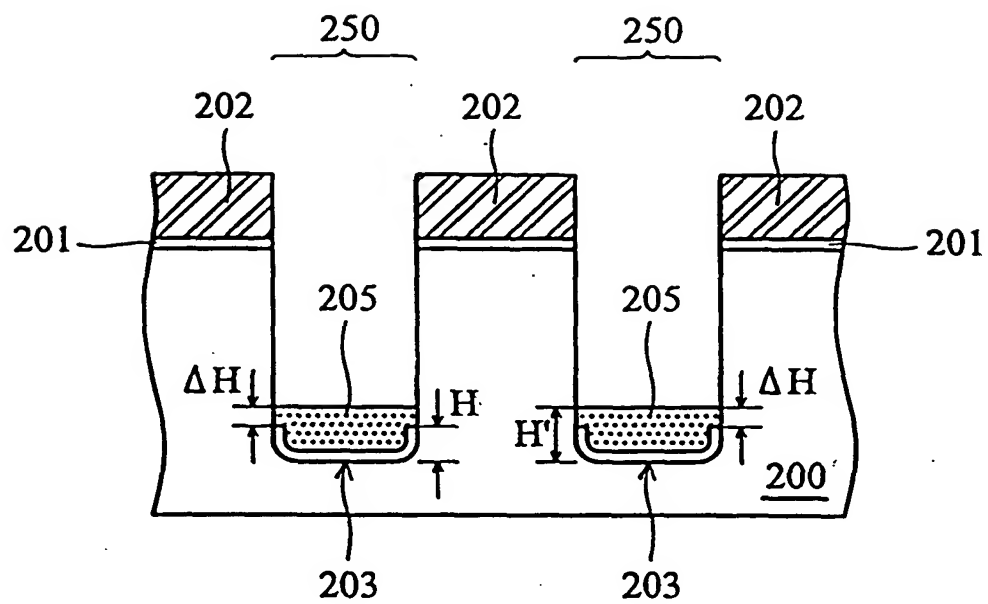
第2b圖



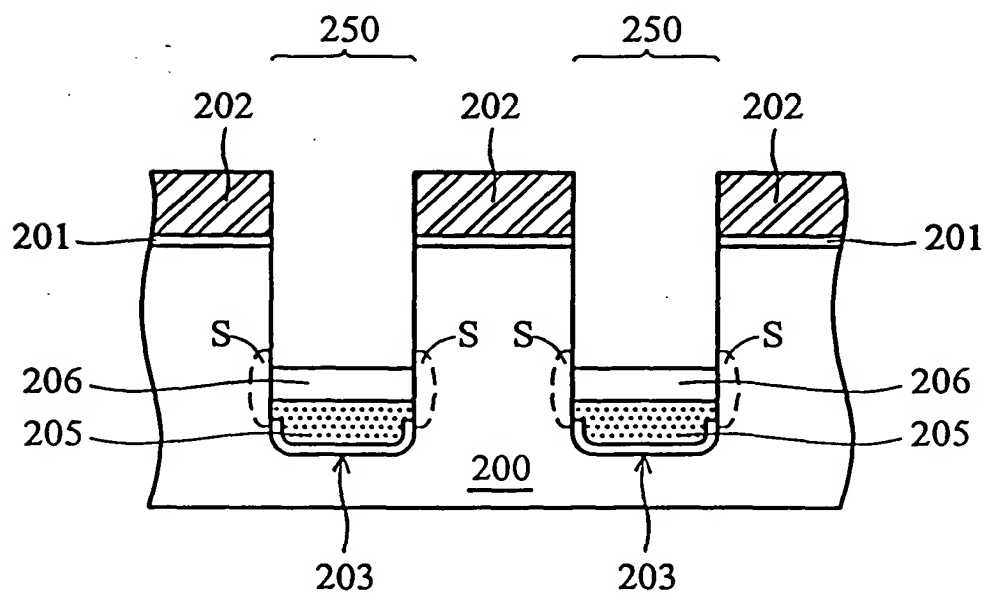
第3a圖



第3b圖

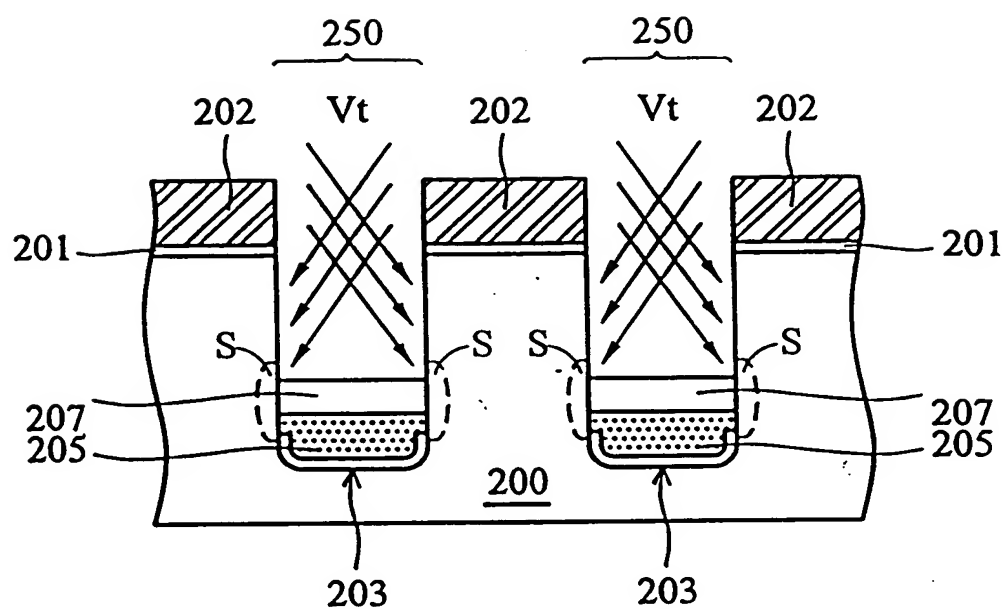


第3c圖

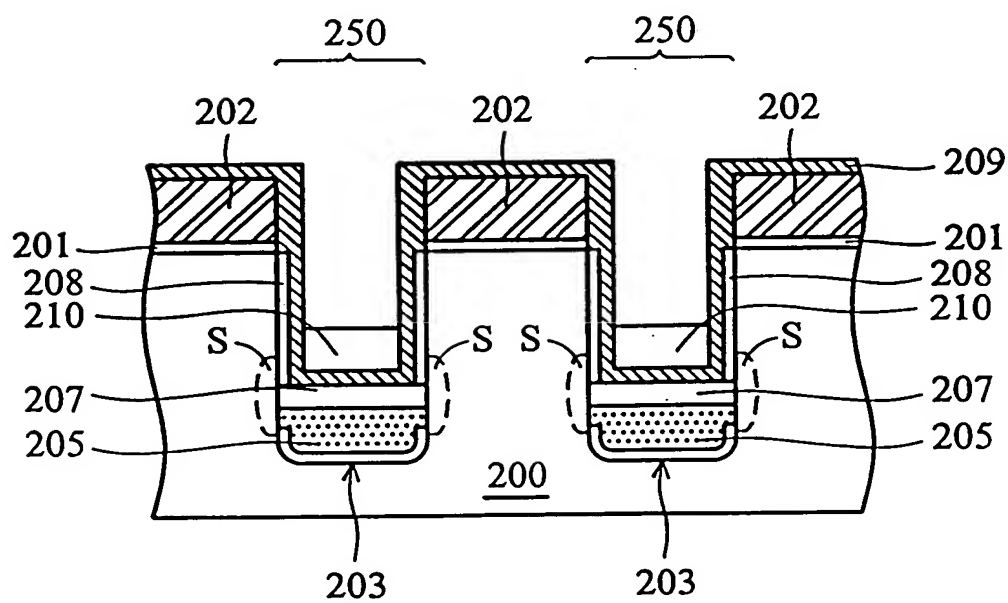


第3d圖

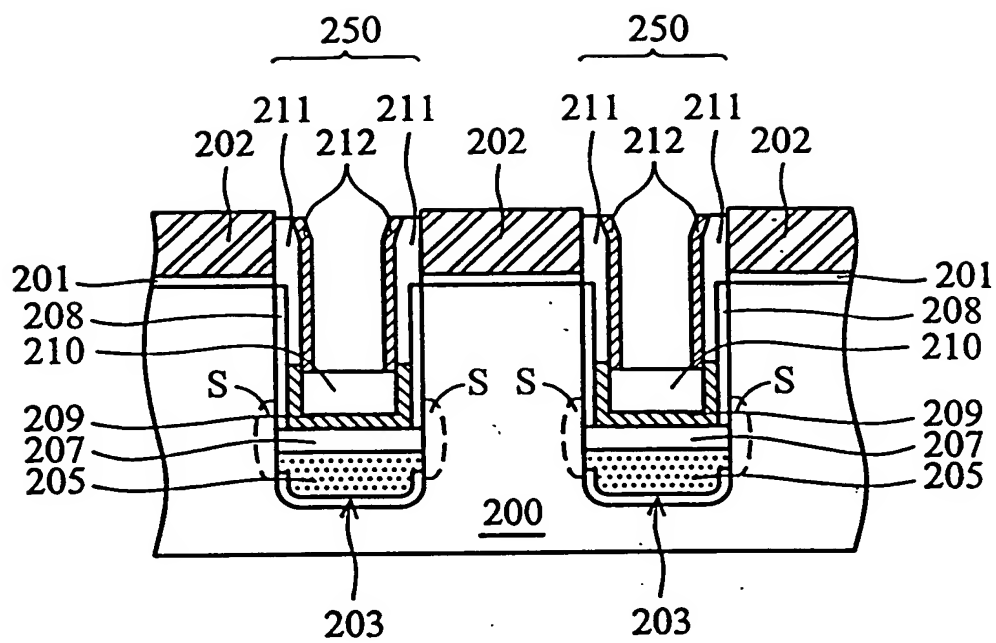




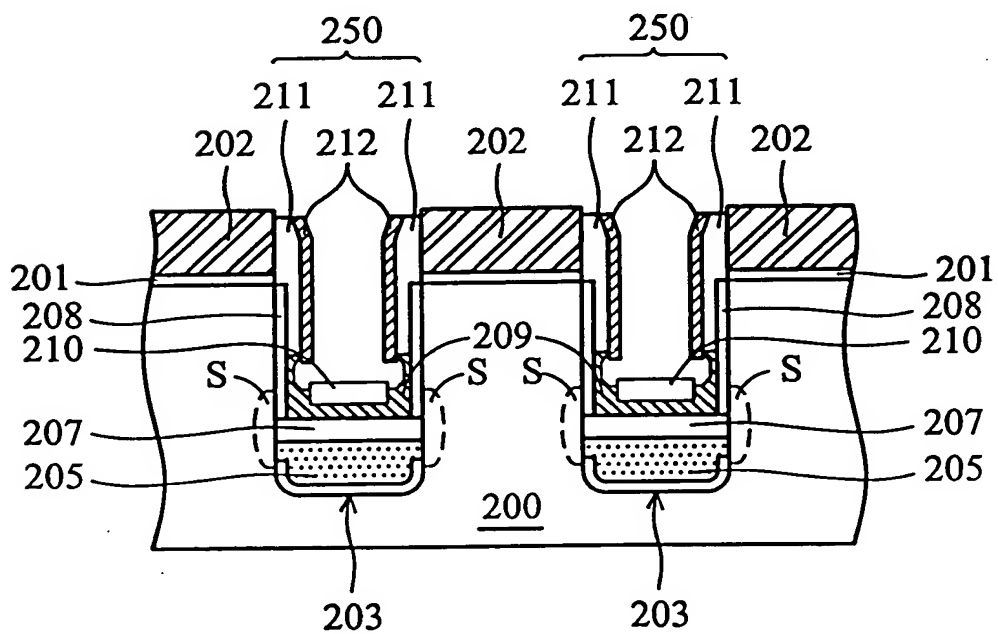
第3e圖



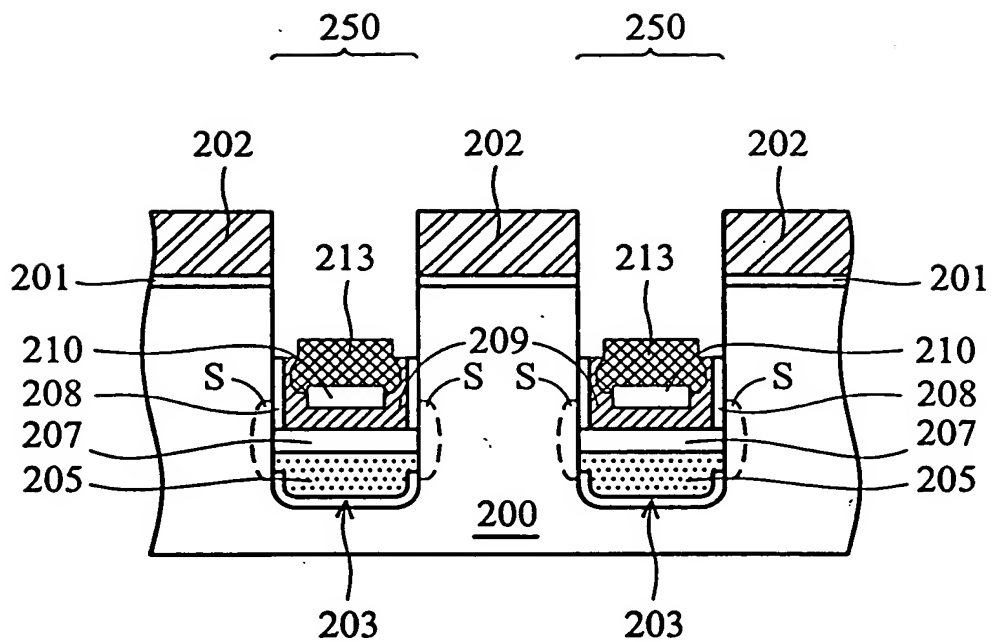
第3f圖



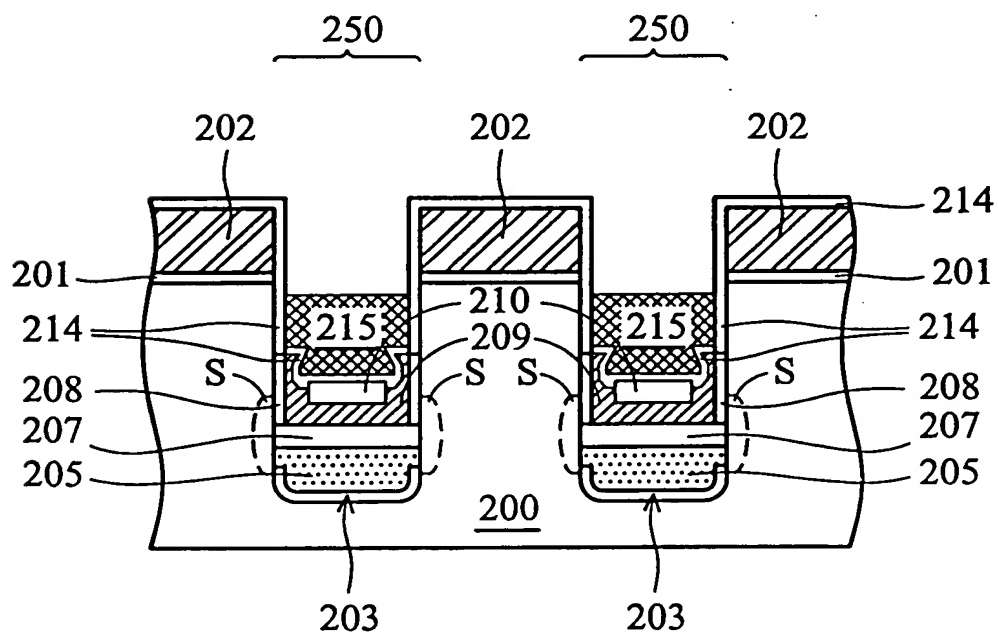
第3g圖



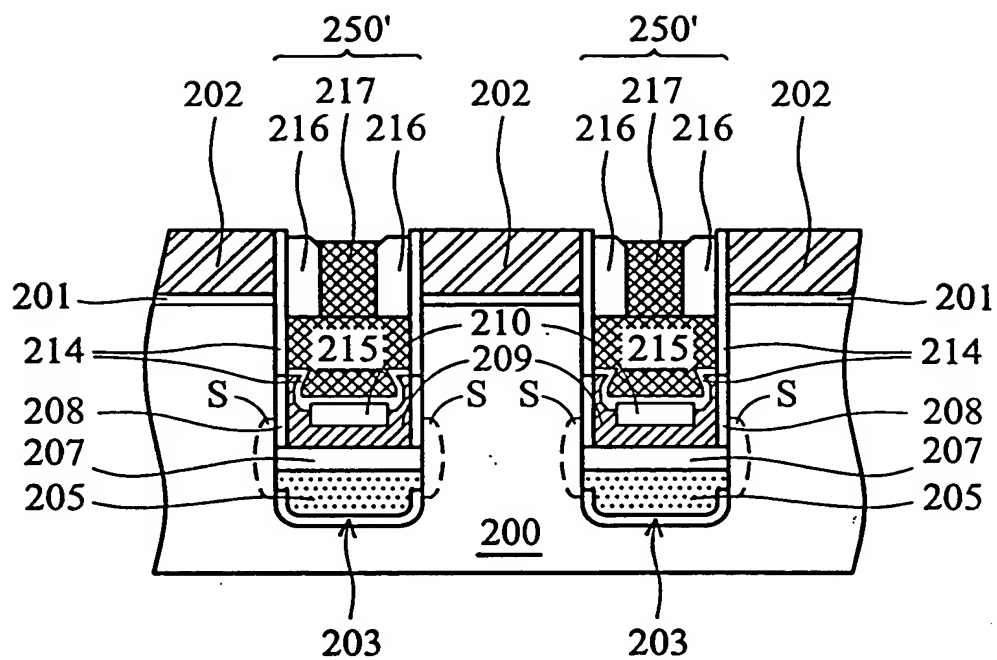
第3h圖



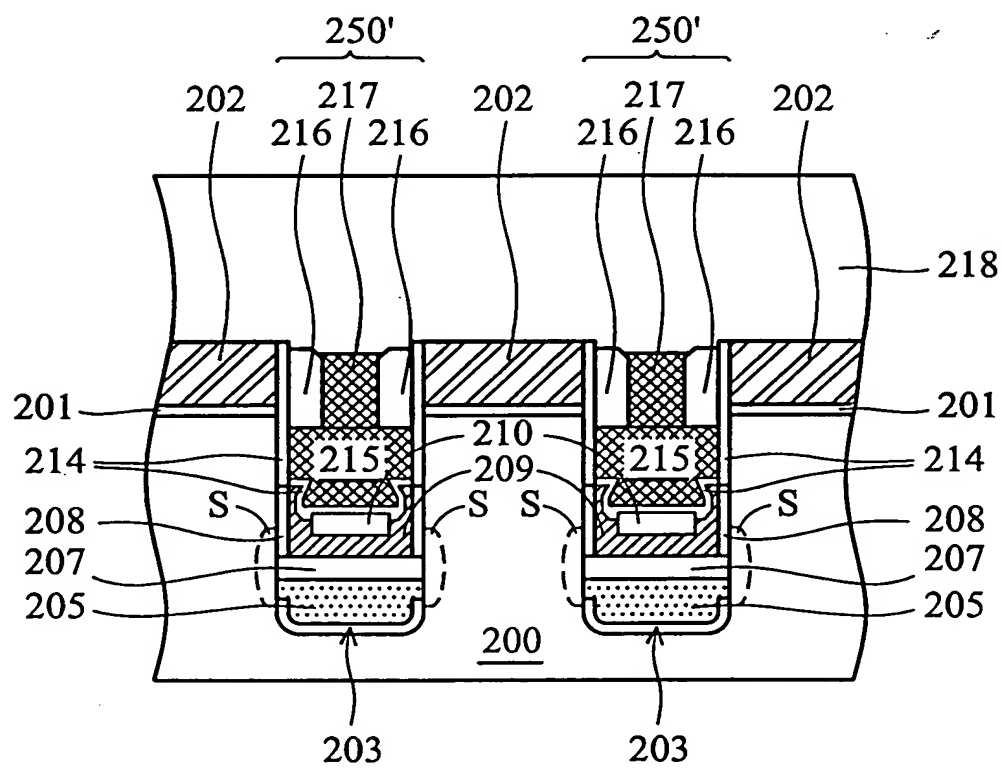
第3i圖



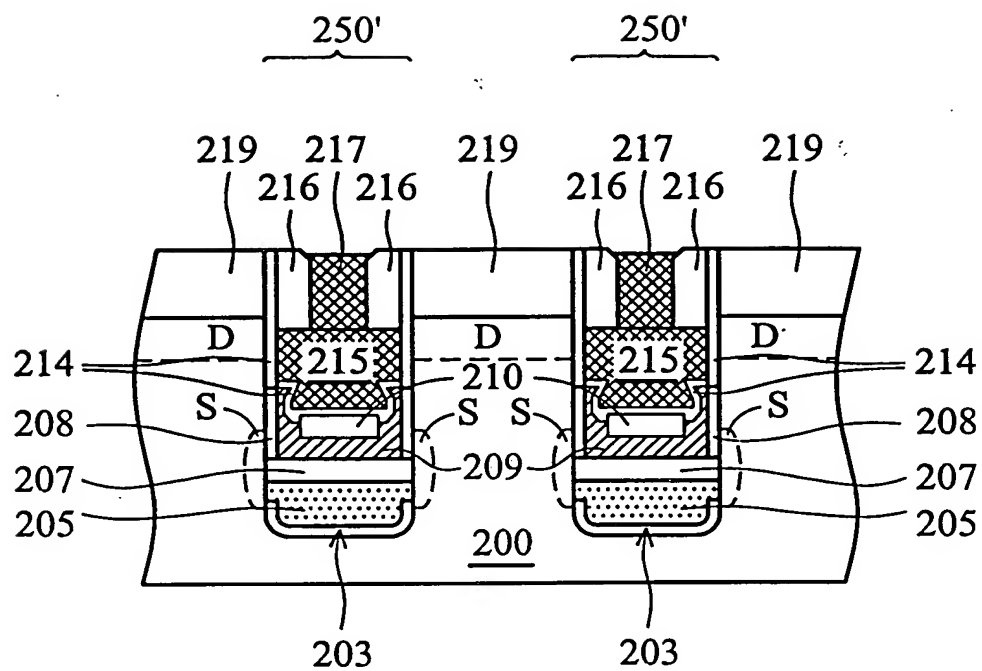
第3j圖



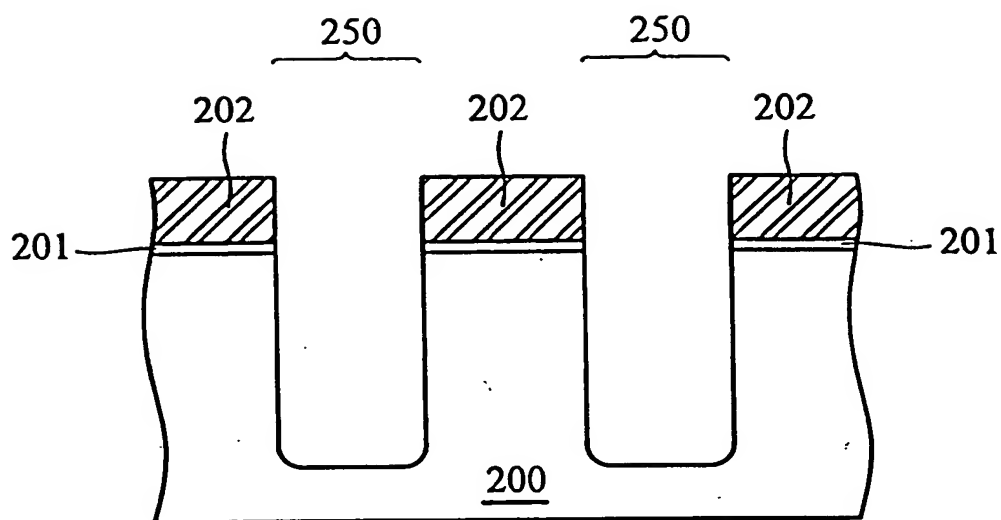
第3k圖



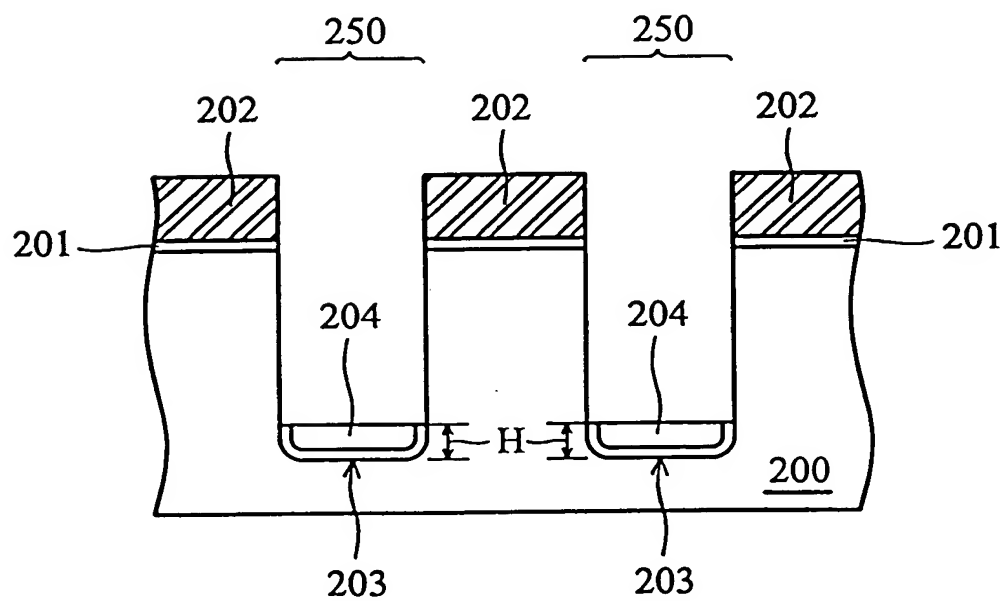
第3l圖



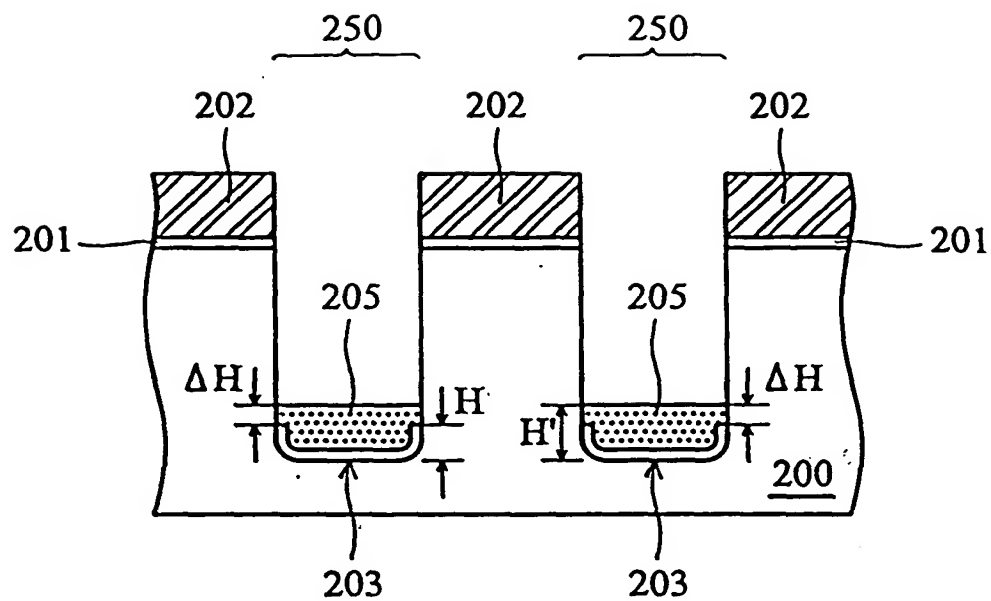
第3m圖



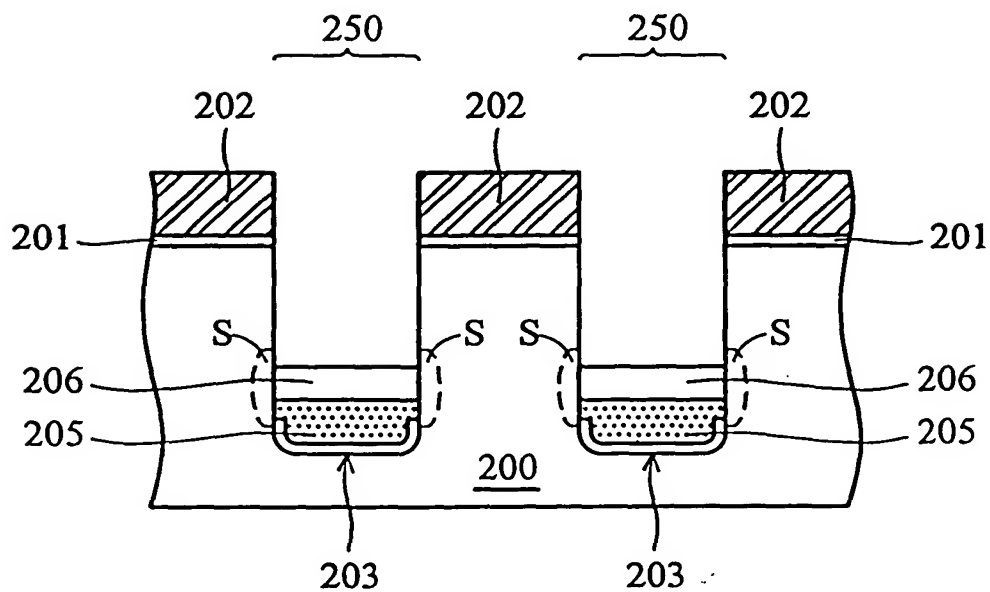
第4a圖



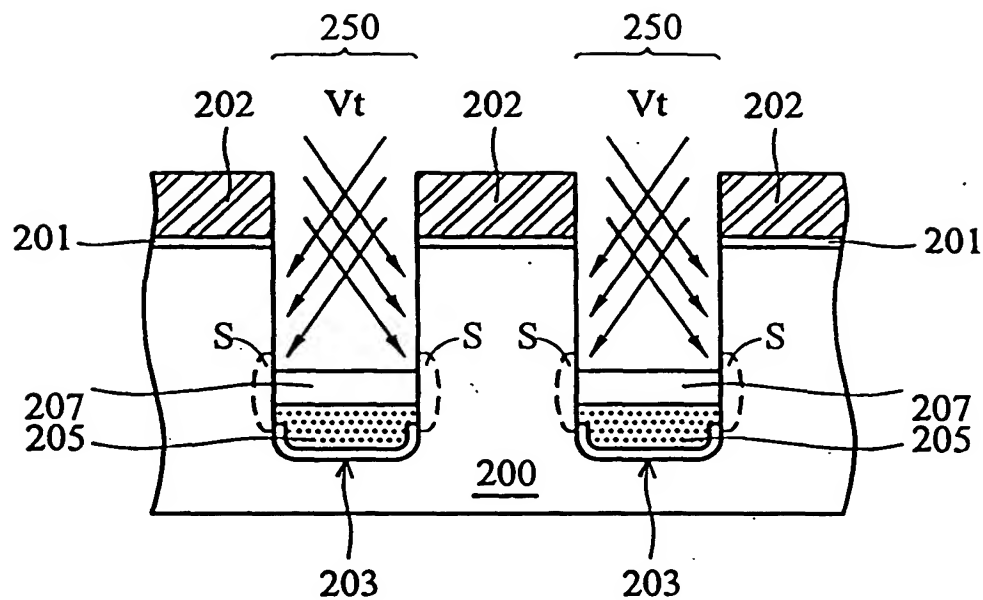
第4b圖



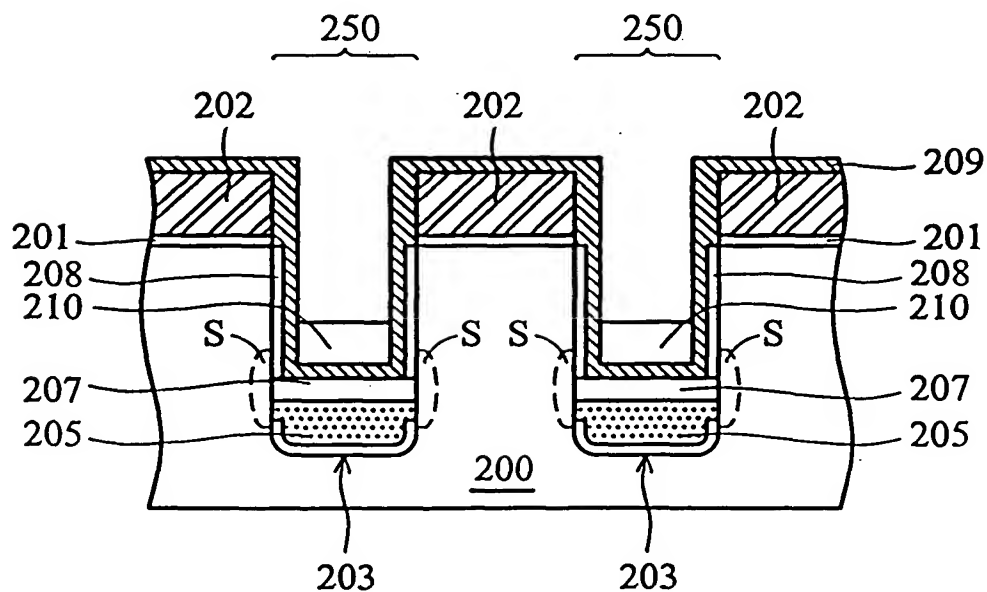
第 4c 圖



第 4d 圖

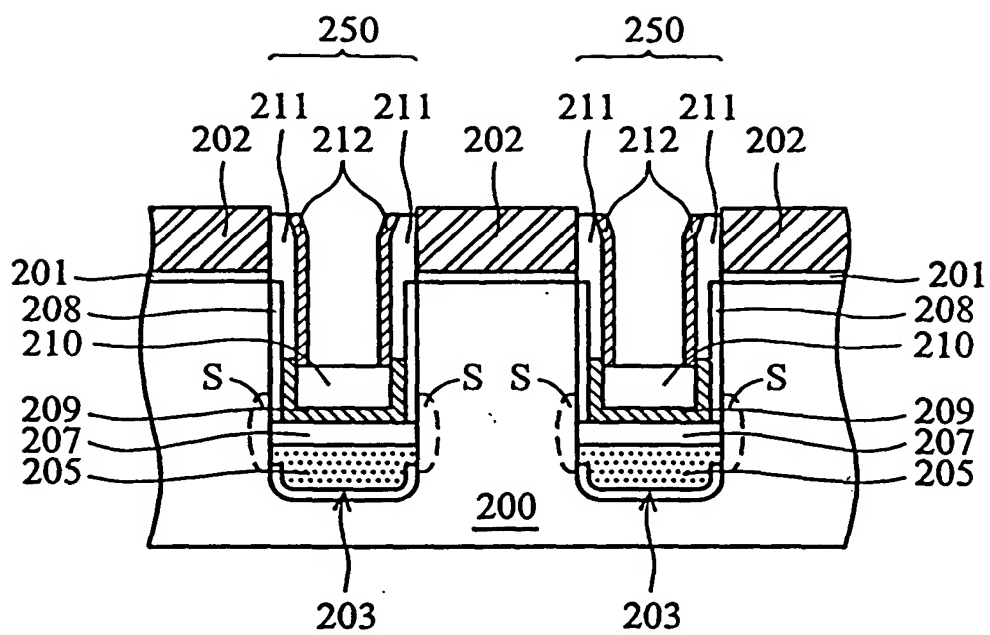


第4e圖

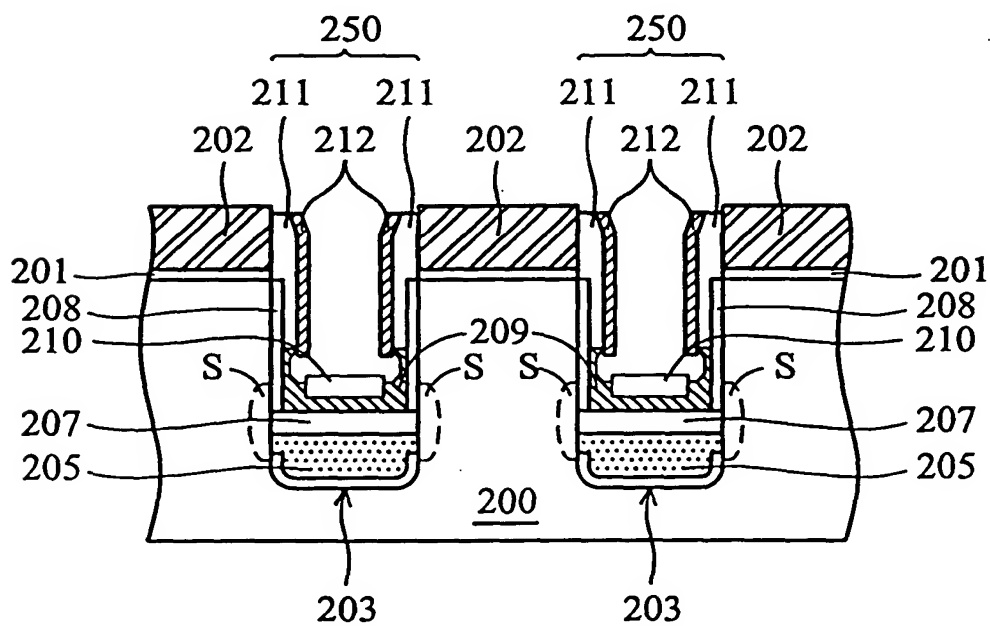


第4f圖

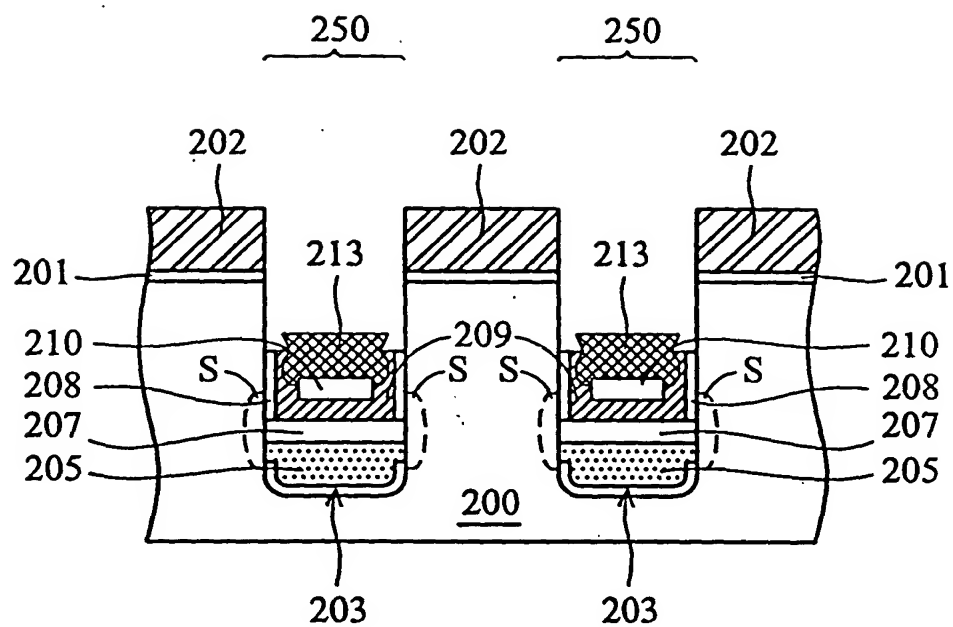




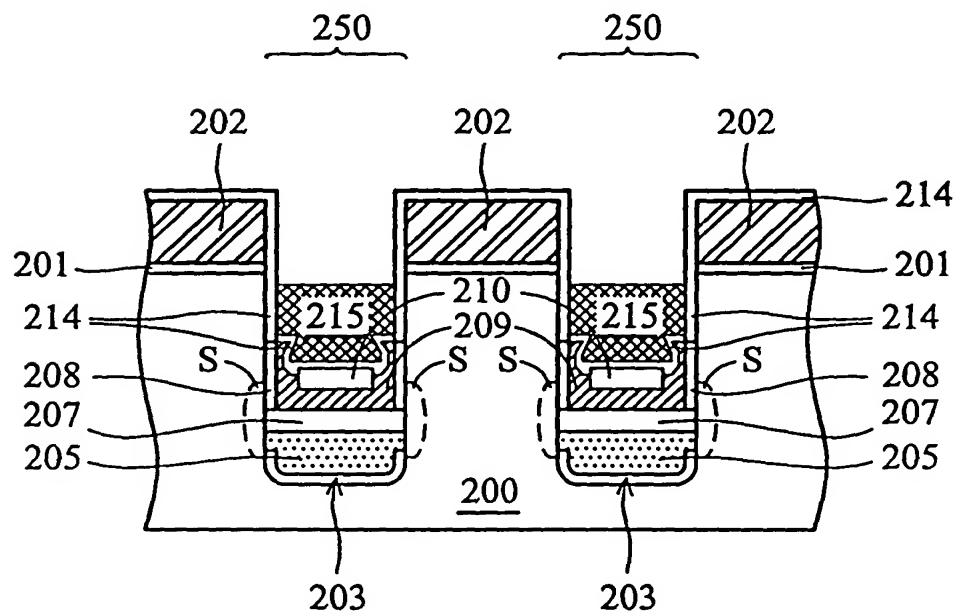
第 4g 圖



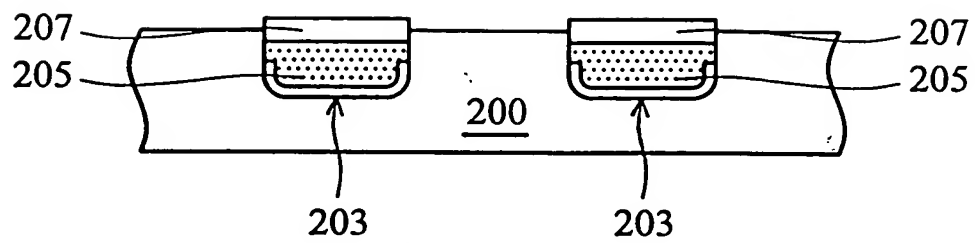
第 4h 圖



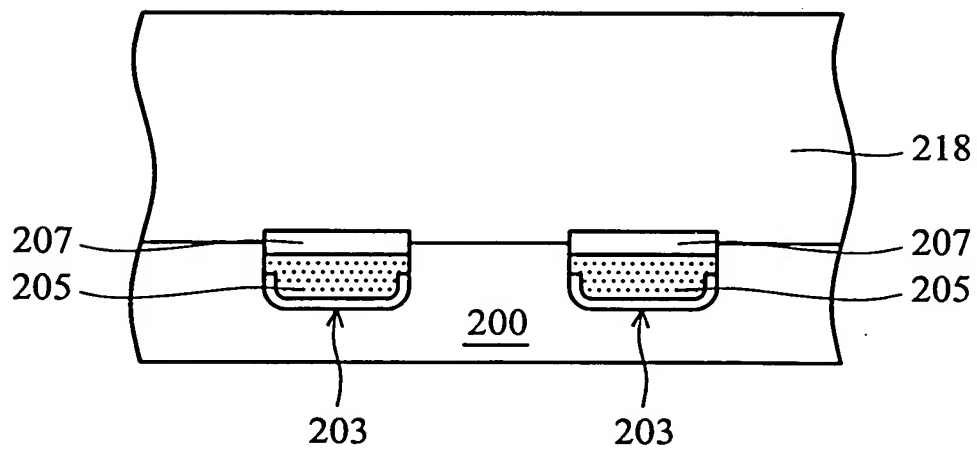
第4i圖



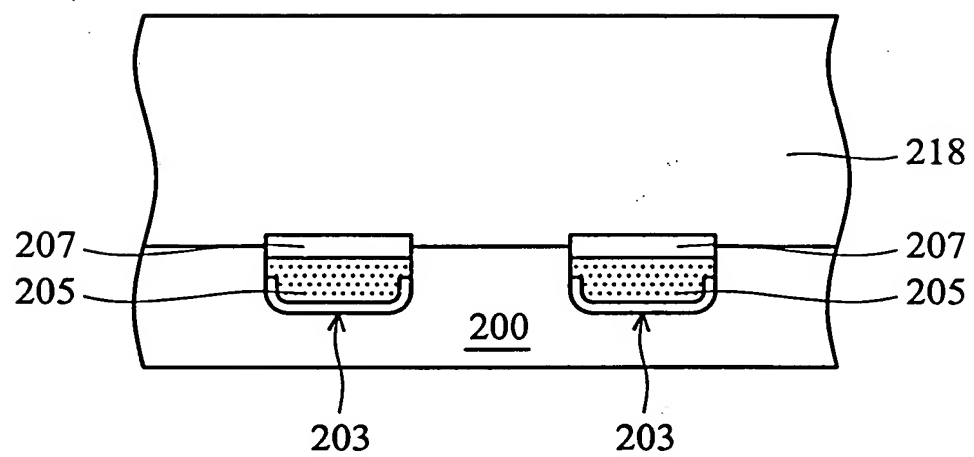
第4j圖



第 4k 圖



第 4l 圖



第 4m 圖

第 1/24 頁



第 2/24 頁



第 2/24 頁



第 3/24 頁



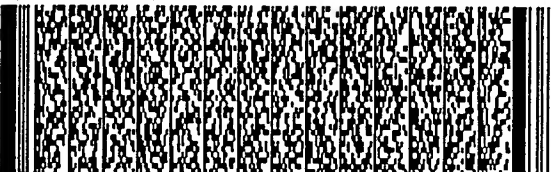
第 5/24 頁



第 5/24 頁



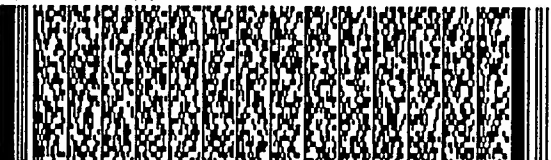
第 6/24 頁



第 6/24 頁



第 7/24 頁



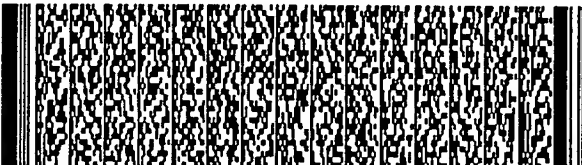
第 7/24 頁



第 8/24 頁



第 8/24 頁



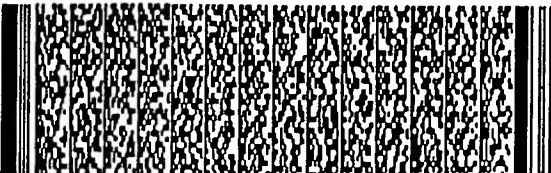
第 9/24 頁



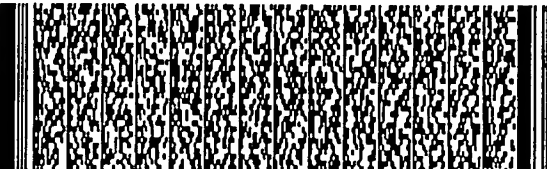
第 9/24 頁



第 10/24 頁



第 10/24 頁



第 11/24 頁



第 11/24 頁



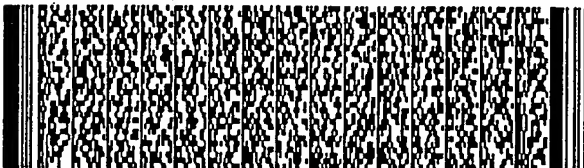
第 12/24 頁



第 12/24 頁



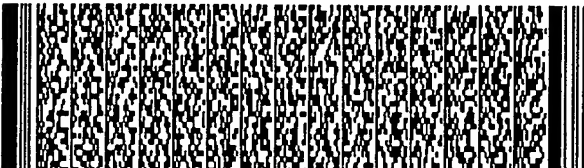
第 13/24 頁



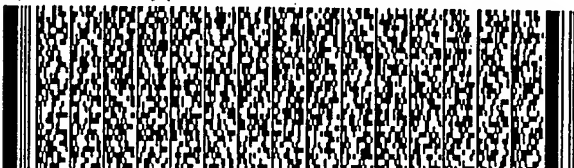
第 13/24 頁



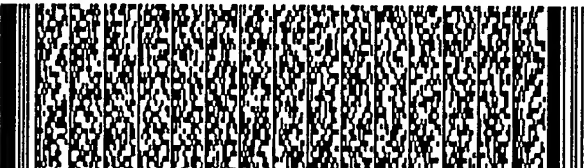
第 14/24 頁



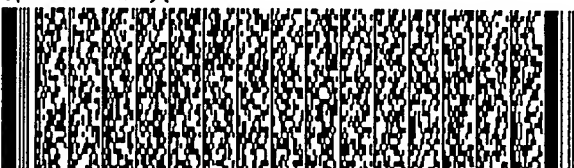
第 14/24 頁



第 15/24 頁



第 15/24 頁



第 16/24 頁



第 17/24 頁



第 18/24 頁



第 19/24 頁



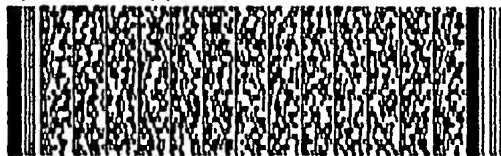
第 20/24 頁



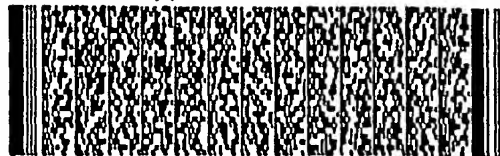
第 21/24 頁



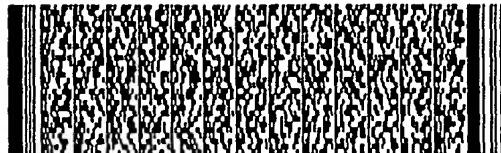
第 21/24 頁



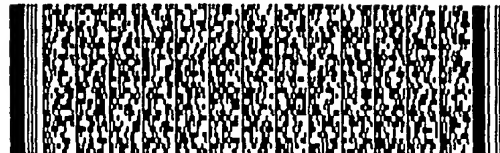
第 22/24 頁



第 22/24 頁



第 23/24 頁



第 23/24 頁



第 24/24 頁

